

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-147420

(43)公開日 平成7年(1995)6月6日

(51)Int.Cl.⁹

H 0 1 L 29/93

識別記号

片内整理番号

F I

技術表示箇所

C

審査請求 有 請求項の数10 O L (全 11 頁)

(21)出願番号 特願平5-295428

(22)出願日 平成5年(1993)11月25日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 武村 久

東京都港区芝五丁目7番1号 日本電気株式会社内

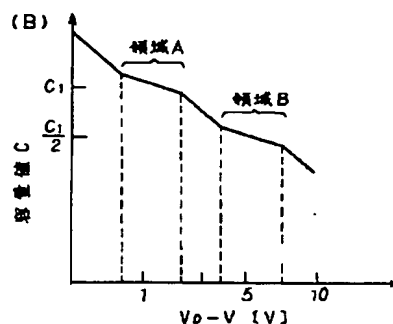
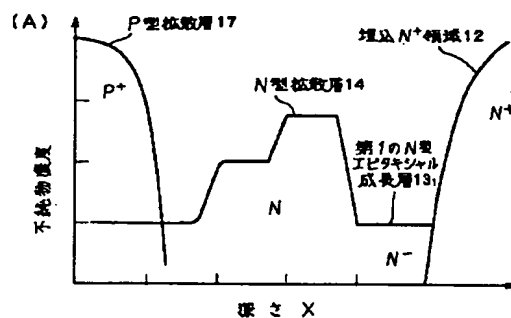
(74)代理人 弁理士 若林 忠

(54)【発明の名称】 可変容量装置および該可変容量装置を有する半導体集積回路装置

(57)【要約】

【目的】 可変容量装置および該可変容量装置を有する半導体集積回路装置を、半導体基板上に形成でき、かつ安定性に優れたものとする。

【構成】 N型拡散層14は、不純物濃度が比較的同程度の領域と急激に変化する領域とが交互に繰り返し、表面からの深さxが深くなるほど不純物濃度が大きくなる不純物プロファイルを有する。このような不純物プロファイルは、N型不純物原子をイオン注入法で添加する際に、エネルギーを変えてN型不純物原子を複数回注入することにより形成することができ、また、エピタキシャル成長する際に、成長時に添加するリンなどのN型不純物原子の濃度を変化させることによっても形成することができる。



1

【特許請求の範囲】

【請求項 1】 半導体基板に形成された一導電型の第 1 の領域と該第 1 の領域上に形成された他の導電型の第 2 の領域とで構成される接合容量の容量値を印加電圧に応じて変化させる可変容量装置において、前記印加電圧の変化に対して前記容量値の変化量が大きい領域と該容量値の変化量がほぼ一定の領域とが繰り返すように前記第 1 の領域の不純物濃度を該第 1 の領域の深さ方向に変化させたことを特徴とする可変容量装置。

【請求項 2】 前記第 1 の領域の不純物濃度を該第 1 の領域の深さ方向に対して階段状に大きくしたことを特徴とする請求項 1 記載の可変容量装置。

【請求項 3】 前記第 1 の領域の不純物濃度を該第 1 の領域の深さ方向に対して連続的に小さくするとともに該第 1 の領域の所定の深さおよびその近傍において局部的に大きくしたことを特徴とする請求項 1 記載の可変容量装置。

【請求項 4】 前記第 1 の領域の少なくとも 2 つ以上の所定の深さおよびその近傍において該第 1 の領域の不純物濃度を局部的に大きくしたことを特徴とする請求項 3 記載の可変容量装置。

【請求項 5】 前記第 1 の領域の不純物濃度を該第 1 の領域の深さ方向に対して連続的に小さくするとともに該第 1 の領域の所定の深さおよびその近傍において一定にしたことを特徴とする請求項 1 記載の可変容量装置。

【請求項 6】 前記第 1 の領域の少なくとも 2 つ以上の所定の深さおよびその近傍において該第 1 の領域の不純物濃度を一定にしたことを特徴とする請求項 5 記載の可変容量装置。

【請求項 7】 前記第 1 の領域が 700℃以下の成長温度の選択的エピタキシャル成長で形成されたことを特徴とする請求項 1 乃至請求項 6 いずれかに記載の可変容量装置。

【請求項 8】 請求項 1 乃至請求項 7 いずれかに記載の可変容量装置を有する半導体集積回路装置。

【請求項 9】 ECL 回路部とアクティブプルダウン部とから構成される半導体集積回路装置において、前記 ECL 回路部と前記アクティブプルダウン部とを結合させる、請求項 1 乃至請求項 7 いずれかに記載の可変容量装置を有することを特徴とする半導体集積回路装置。

【請求項 10】 請求項 1 乃至請求項 7 いずれかに記載の可変容量装置を少なくとも 2 個以上有し、該各可変容量装置の前記第 1 の領域と前記第 2 の領域とが互いに異なる不純物濃度で接合している半導体集積回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、可変容量装置および該可変容量装置を有する半導体集積回路装置に関する。

2

【0002】

【従来の技術】 従来、半導体基板上に形成される可変容量装置としては、PN 接合容量を利用して印加電圧によって容量値の制御を行う可変容量ダイオードが多用されている。たとえば、PN 接合面から離れるに従って不純物濃度が減少する超階段接合からなる可変容量ダイオードでは、その接合容量値は印加電圧に応じて指数関数的にほぼ一様に変化する。すなわち、図 8 (A) に示すような不純物プロファイルを有する、高濃度の P 型拡散層、この P 型拡散層と超階段接合を形成する N 型拡散層および埋込 N⁺ 領域によって形成される可変容量ダイオードでは、その容量値 C は、図 8 (B) に示すように、印加電圧 V に応じて指数関数的にほぼ一様に変化する。なお、図 8 (B) の縦軸および横軸はともに対数表示である。したがって、このような可変容量ダイオードの容量値 C と印加電圧 V との間には、次式で示す関係がある。

$$【0003】 C = C_0 \cdot (V_D - V)^{-n} \quad (1)$$

ただし、C₀ は不純物プロファイルによって決まる比例定数

V_D は拡散電位

超階段接合では、上記 (1) 式の指数 n は "1" または "2" という大きな値をとることができるため、容量値 C は印加電圧 V に対して大きな変化率を有するものとなる。

【0004】 図 9 (A) は、可変容量装置の他の従来例を示す断面図である。

【0005】 可変容量装置 500 は、たとえば特開昭 60-245282 号公報に記載されているように、印加電圧に対して容量値が階段状に変化するものである (図 9 (B) 参照)。可変容量装置 500 は、半絶縁性基板 501 と、半絶縁性基板 501 中に形成された、アノード電極 505 下で深さが階段状に異なる動作層 502 と、半絶縁性基板 501 の表面上に形成された絶縁膜 503 と、絶縁膜 503 に形成された開口を介して動作層 502 の図示左側の深さの深い部分と電気的に接続するよう絶縁膜 503 上に形成されたカソード電極 504 と、絶縁膜 503 に形成された他の開口を介して動作層 502 の図示右側の深さが階段状に異なる部分と電気的に接続するよう絶縁膜 503 上に形成されたアノード電極 505 とを含む。

【0006】 可変容量装置 500 では、アノード電極 505 にアノード電圧 V_A を印加すると、アノード電極 505 から空乏層が広がる。容量値 C は空乏層の幅と広がった空乏層の面積とによって決まるため、動作層 503 の深さが階段状に異なる部分よりも図示左側に空乏層が広がったとき実効的な空乏層の面積が狭くなる結果、容量値 C は急激に減少する。したがって、アノード電圧 V_A を大きくしていった場合、動作層 503 の深さが階段状に異なる部分よりも図示左側に空乏層が広がるごとに容量値 C が急に小さくなるため、可変容量装置 500 の容量値 C は、

3

図 9 (B) に示すように、アノード電圧 V_A に対して階段状に変化する。なお、同図の縦軸および横軸はともに対数表示である。

【0007】

【発明が解決しようとする課題】しかしながら、上述した P-N 接合面から離れるに従って不純物濃度が減少する超階段接合からなる可変容量ダイオードでは、図 8

(B) に示したように、印加電圧 V に対して一定の比率で容量値 C が変化するため、印加電圧 V により所望の容量値を得ることは可能であるが、印加電圧 V が変動すると容量値 C も変動して所望の容量値からずれるという問題がある。

【0008】図 9 (A) に示した可変容量装置 500 では、深さが階段状に異なる動作層 502 を形成するために、異なるマスクパターンを用いた複数回の選択的イオン注入工程が必要となり、その製造工程が複雑となるという問題がある。また、可変容量装置 500 では、動作層 502 が形成される基板が半絶縁性基板 501 でないと、動作層 502 下への空乏層の拡がりやブレイクダウンなどが生じるため、シリコン基板を実用上使用することができないという問題がある。さらに、動作層 502 の深さが階段状に異なっているため、アノード電圧 V_A に対して階段状に容量値を変化させることは可能であっても、図 9 (B) における容量値が比較的平坦な領域において、アノード電圧 V_A に対する容量値の変化を小さくすることがなされていないという問題がある。

【0009】本発明の目的は、半導体基板上に形成でき、かつ、安定性に優れた可変容量装置および該可変容量装置を有する半導体集積回路装置を提供することにある。

【0010】

【課題を解決するための手段】本発明の可変容量装置は、半導体基板上に形成された一導電型の第 1 の領域と該第 1 の領域上に形成された他の導電型の第 2 の領域とで構成される接合容量の容量値を印加電圧に応じて変化させる可変容量装置において、前記印加電圧の変化に対して前記容量値の変化量が大きい領域と該容量値の変化量がほぼ一定の領域とが繰り返すように前記第 1 の領域の不純物濃度を該第 1 の領域の深さ方向に変化させたことを特徴とする。

【0011】ここで、前記第 1 の領域の不純物濃度を該第 1 の領域の深さ方向に対して階段状に大きくしてもよいし、前記第 1 の領域の不純物濃度を該第 1 の領域の深さ方向に対して連続的に小さくするとともに該第 1 の領域の所定の深さおよびその近傍において局部的に大きくしてもよいし、前記第 1 の領域の深さ方向に対して連続的に小さくするとともに該第 1 の領域の所定の深さおよび

4

その近傍において一定にしてもよいし、前記第 1 の領域の少なくとも 2 つ以上の所定の深さおよびその近傍において該第 1 の領域の不純物濃度を一定にしてもよいし、前記第 1 の領域が 700℃以下の成長温度の選択的エピタキシャル成長で形成されていてもよい。

【0012】本発明の半導体集積回路装置は、本発明の可変容量装置を有する。

【0013】または、ECL 回路部とアクティブプルダウン部とから構成される半導体集積回路装置において、前記 ECL 回路部と前記アクティブプルダウン部とを結合させる本発明の可変容量装置を有する。

【0014】または、本発明の可変容量装置を少なくとも 2 個以上有し、該各可変容量装置の前記第 1 の領域と前記第 2 の領域とが互いに異なる不純物濃度で接合している。

【0015】

【作用】本発明の可変容量装置は、印加電圧の変化に対して容量値の変化量が大きい領域と容量値の変化量がほぼ一定の領域とが繰り返すように第 1 の領域の不純物濃度を第 1 の領域の深さ方向に変化させたことにより、半導体基板上に容易に形成できるとともに、容量値の変化量がほぼ一定の領域に所望の容量値がくるように第 1 の領域と第 2 の領域との間の印加電圧を設定すれば、印加電圧の変動による容量値の変動を小さくすることができる。

【0016】本発明の半導体集積回路装置は、本発明の可変容量装置を有することにより、異なるマスクパターンを用いた複数回の選択的イオン注入工程を必要とすることなく、可変容量装置を半導体基板上に形成することができる。

【0017】

【実施例】次に、本発明の実施例について、図面を参照して説明する。

【0018】図 1 は、本発明の可変容量装置の第 1 の実施例を示す断面図である。

【0019】可変容量装置 10 は、P 型シリコン基板 11 と、P 型シリコン基板 11 中に形成された埋込 N^+ 領域 12 と、埋込 N^+ 領域 12 上の図示左側に形成された、容量形成用の第 1 の N 型エピタキシャル成長層 131 と、埋込 N^+ 領域 12 上の図示右側に形成された、埋込 N^+ 領域 12 の引出し用の第 2 の N 型エピタキシャル成長層 132 と、第 1 の N 型エピタキシャル成長層 131 上に形成された N 型拡散層 14 と、P 型シリコン基板 11 上に形成されたシリコン酸化膜 15 と、シリコン酸化膜 15 に設けられた開口を介して N 型拡散層 14 上に形成された P 型多結晶シリコン膜 16 と、 N 型拡散層 14 中に P 型多結晶シリコン膜 16 からボロン原子が拡散されて形成された P 型拡散層 17 と、P 型多結晶シリコン膜 16 上に形成された第 1 のアルミ電極 181 と、シリコン酸化膜 15 に設けられた他の開口を介して第 2 の

5

N型エピタキシャル成長層132上に形成されたN型多結晶シリコン膜19と、N型多結晶シリコン膜19上に形成された第2のアルミ電極182とを含む。

【0020】ここで、埋込N⁺領域12は、たとえばひ素原子をイオン注入法などによってP型シリコン基板11中に約 1.0^{19} cm^{-3} の濃度に添加して形成されたものであり、その厚さは約 $2 \mu\text{m}$ 程度である。第1のN型エピタキシャル成長層131および第2のN型エピタキシャル成長層132は、たとえば約 1.0^{16} cm^{-3} の濃度で厚さ $1 \mu\text{m}$ で形成されたものである。シリコン酸化膜15は、素子分離領域用および埋込N⁺領域12の引出し領域と容量形成領域との分離用のものである。P型拡散層17の不純物濃度は、約 1.0^{20} cm^{-3} である。

【0021】図2(A)に、可変容量装置10の容量形成領域の不純物プロファイルを示す。N型拡散層14は、同図に示すように、不純物濃度が比較的同程度の領域と急激に変化する領域とが交互に繰り返す、表面からの深さ x が深くなるほど不純物濃度が大きくなる不純物プロファイルを有する。このような不純物プロファイルは、N型不純物原子をイオン注入法で添加する際に、エネルギーを変えてN型不純物原子を複数回注入することにより形成することができ、また、エピタキシャル成長する際に、成長時に添加するリンなどのN型不純物原子の濃度を変化させることによって形成することができる。

【0022】図2(B)に、可変容量装置10の容量値 C と印加電圧 V との関係を示す。なお、同図の縦軸および横軸はともに対数表示である。印加電圧 V を逆方向を加えた場合(すなわち、 $V < 0$)の容量値 C は、上記(1)式と同様にして、次式で表わされる。

$$\text{【0023】 } C = C_0 \cdot (V_D - V)^{-n} \quad (2)$$

ただし、 C_0 は不純物プロファイルによって決まる比例定数

V_D は拡散電位

ここで、比例定数 C_0 は、ドナー密度 N_D がアクセプタ密度 N_A よりもかなり小さい場合($N_D \ll N_A$ の場合)には、

$$C_0 = K_1 \cdot (N_D)^{1/2} \quad (3)$$

ただし、 K_1 は比例定数

と表わされ、また、上記(2)式の指数 n は、階段接合の場合には $1/2$ の値をとる。したがって、容量値 C は、N型拡散層14の不純物濃度が平坦な領域では印加電圧 V に対して $(V_D - V)^{-1/2}$ に比例して低下するが、不純物濃度が急激に変化する領域では、 $(N_D)^{1/2} \cdot (V_D - V)^{-1/2} = |N_0 / (V_0 - V)|^{1/2}$ に比例して低下する。これは、拡散容量は印加電圧 V による空乏層の拡がりに反比例して低下するので、不純物濃度が急激に変化する深さまで空乏化した時点で、印加電圧 V に対しての空乏化のレートが見かけ上低くなり、容量値 C の変化が小さくなるためである。

6

【0024】以上より、容量値 C と印加電圧 V との関係は、図2(B)に示したように、階段状のものとなる。ここで、同図に領域Aおよび領域Bで示す部分は、図2(A)に示した不純物濃度が急激に変化する深さにそれぞれ対応する。したがって、同一チップ内でたとえば C_1 および $C_1/2$ の容量値 C を得たい場合には、容量の面積およびN型拡散層14の不純物プロファイルを最適化することにより、たとえば印加電圧 $V = V_D - 1$

10 $[V]$ のときに容量値 $C = C_1$ および印加電圧 $V = V_D - 4 [V]$ のときに容量値 $C = C_2/2$ となるように設定することができる。さらに、領域Aおよび領域Bでは、印加電圧 V の変動に対する容量値 C の変動は小さいため、所望の容量値 C を容易に得ることができる。

【0025】以上説明したように、可変容量装置10では、回路中に同一パターンで互いに異なる安定した接合容量を実現することができるため、たとえばゲートアレイ形式の回路においても、あらかじめ回路にあわせて容量値の異なる複数のダイオードパターンを配置しなくてもよく、パターン効率上有用である。

20 $【0026】$ 次に、本発明の可変容量装置の第2の実施例について、その製造工程を含めて説明する。

【0027】図3(A)に示すように、P型シリコン基板31中に選択的にAs原子が 1.0^{19} cm^{-3} 程度の濃度でイオン注入法などにより添加されることにより、埋込N⁺領域32が形成されたのち、熱酸化によって厚さ 200 nm 程度の第1のシリコン酸化膜33がP型シリコン基板31上に形成される。続いて、第1のシリコン酸化膜33が写真蝕刻法によって選択的に開口されることにより、埋込N⁺領域32の図示左側の部分の表面が露出される。続いて、たとえばフォスフィンなどを使用してリン原子を添加しながら $500^\circ\text{C} \sim 700^\circ\text{C}$ の成長温度でUHV/CVD法(超高真空CVD法)によって、N型拡散層34が、図3(B)に示すように、表面が露出された埋込N⁺領域32上に形成される。続いて、CVD法によって第2のシリコン酸化膜35が第1のシリコン酸化膜33およびN型拡散層34上に形成される。続いて、第2のシリコン酸化膜35が、図3(C)に示すように、写真蝕刻法によって選択的に開口されることにより、N型拡散層34の表面の一部が露出される。

40 $【0028】$ その後、図4(A)に示すように、ボロン原子が 1.0^{20} cm^{-3} 程度添加されたP型多結晶シリコン膜36が、CVD法および写真蝕刻法によって、表面が露出されたN型拡散層34上およびその周辺の第2のシリコン酸化膜35上に選択的に形成される。続いて、 900°C で30秒の熱処理が行われることにより、P型拡散層37がN型拡散層34内に形成される。続いて、図4(B)に示すように、第1のシリコン酸化膜33および第2のシリコン酸化膜35が写真蝕刻法によって選択的に開口されることにより、埋込N⁺領域32の図示右側の部分の表面が露出される。続いて、第1のアルミ電

50

7

極381がP型多結晶シリコン膜36上に選択的に形成されるとともに、第2のアルミ電極382が表面が露出された埋込N⁺領域32上およびその周辺の第2のシリコン酸化膜35上に選択的に形成される。これにより、可変容量装置30が作成される。

【0029】ここで、図2(A)に示した不純物プロファイルの場合よりも、さらに小さい印加電圧で容量値を大きく可変できるとともに、所望の容量値では印加電圧の変動に対して安定な容量値を得ることができるように、N型拡散層34の不純物プロファイルは、図5

(A)に実線で示すように、深さxが深くなるほど不純物濃度が低下するものであるが、所定の深さx₁、x₂およびこれら近傍で不純物濃度が局部的に大きくされている。

【0030】すなわち、UHV/CVD法によって選択的に形成されたN型拡散層34は、埋込N⁺領域32から表面に向けて不純物濃度が増加する超階段接合となっており、所望の容量値C₁、C₁/2を得ることのできる空乏層の幅と一致する深さx₁、x₂およびその近傍で不純物濃度がその周辺より大きくされている。このような超階段接合を有する可変容量装置30では、容量値Cと印加電圧Vとの間には、

$$\log(C) = -2 \cdot \log(V_D - V) \quad (4)$$

の関係が成立し、傾きは"-2"となる。したがって、数ボルト以内の小さな印加電圧Vにより容量値Cを大きく変えることができる。容量値Cは前述のとおり空乏層の幅に反比例する。P型拡散層37とN型拡散層34との接合面から印加電圧Vにより拡がる空乏層が所望の容量値C₁、C₁/2を与える幅となる深さx₁、x₂およびその近傍のN型拡散層34の不純物濃度を局所的に変えることにより、印加電圧Vに対する空乏層の拡がりは抑制される。その結果として、図5(B)に実線で示すように、所望の容量値C₁、C₁/2における印加電圧Vの変動に対する容量値Cの変動をほとんど"0"とすることができる。

【0031】なお、以上の説明では、N型拡散層34の不純物濃度を所定の深さx₁、x₂およびこれらの近傍で局部的に大きくしたが、図5(A)に破線で示すように、N型拡散層34の不純物濃度を所定の深さx₁、x₂およびこれらの近傍において一定となるようにしてもよい。この場合にも、図5(B)に破線で示すように、所望の容量値C₁、C₁/2における印加電圧Vの変動に対する容量値Cの変動をその周辺よりも小さくすることができる。また、N型拡散層34の不純物プロファイルとして、図2(A)に示したものをを用いても、上述した第1の実施例の可変容量装置10と同様の効果が得られる。

【0032】本実施例の可変容量装置30では、埋込N⁺領域32上にN型エピタキシャル成長層を形成していないが、10¹⁶cm⁻³程度のN型不純物原子を添加した

8

エピタキシャル成長を行うことにより、埋込N⁺領域32上にN型エピタキシャル成長層を形成してもよい。

【0033】以上説明した本発明の可変容量装置の各実施例では、基板の表面を高濃度のP型拡散層とするとともにN型拡散層を低濃度で設定したが、P型およびN型は逆でもよい。また、接合の深い拡散層を高濃度で、接合の浅い拡散層を低濃度に形成しても、同様の特性および効果を得ることができる。

【0034】次に、本発明の半導体集積回路装置の第1の実施例について、図6(A)、(B)をそれぞれ参照して説明する。なお、本実施例の半導体集積回路装置は上述した第2の実施例の可変容量装置30と同様の構成の可変容量装置を複数個有するものであるため、第2の実施例の可変容量装置30の説明に用いた各構成要素の符号を参照して説明する。

【0035】本実施例の半導体集積回路装置は、以下に示す特徴を有する。

(1) 同一チップ内に複数個の可変容量装置を作成する際に、各可変容量装置の所望の容量値Cに応じて、P型拡散層37のP型不純物原子拡散源となるP型多結晶シリコン膜36中のボロン原子濃度を異ならせることにより、P型多結晶シリコン膜36から同時に熱処理を施して形成するP型拡散層37の拡散深さを各可変容量装置ごとに異ならせている。

(2) N型拡散層34の不純物プロファイルは、P型拡散層37との接合面の周辺で、深さxが深くなるに従って不純物濃度が階段状に高くなるようにしている。

【0036】すなわち、たとえばP型多結晶シリコン膜36中のボロン原子濃度をたとえば濃度N₁、濃度N₂および濃度N₃(N₁<N₂<N₃)というように異なる3つの濃度として、P型多結晶シリコン膜36から同時に熱処理を施すことにより、互いに異なる容量値Cを有する3つの可変容量装置のP型拡散層37を同一チップ内に構成するため、各P型拡散層37の拡散深さは、図6(A)に示すように、P型多結晶シリコン膜36中のボロン原子の濃度N₁、N₂、N₃に応じてそれぞれ異なるものとなっている。その結果、N型拡散層34の不純物プロファイルをたとえば図6(A)に示すような階段状として各P型拡散層37との接合濃度N₁'、N₂'、N₃'が異なるように設定することにより、同じ印加電圧Vでも、図6(B)に示すように、各可変容量装置の容量値Cを異ならせることができる。このとき、P型拡散層37とN型拡散層34との接合面の深さからN型拡散層34の階段状に不純物濃度が高くなる深さまでの距離を、所望の容量値Cが得られる空乏層幅と一致させることにより、印加電圧Vの変動による容量値Cの変動を小さくすることができることは、上述した第1の実施例の可変容量装置10および第2の実施例の可変容量装置30と同様である。

【0037】なお、各可変容量装置は、上述した第2の

9

実施例の可変容量装置 30 と同様にして製造することができる。また、N 型拡散層 34 の不純物プロファイルは深さ x が深くなるに従って不純物濃度が階段状に大きくなるものとしたが、N 型拡散層 34 の不純物プロファイルはこれに限ったものではなく、P 型拡散層 37 の拡散深さに応じて N 型拡散層 34 の不純物濃度が変化する不純物プロファイルとすることにより、同一パターンを用いて異なる容量値を有する複数の可変容量装置を同一チップ内に容易に得ることができる。

【0038】次に、本発明の半導体集積回路装置の第 2 の実施例であるアクティブプルダウン付 ECL 回路について、図 7 を参照して説明する。

【0039】アクティブプルダウン付 ECL 回路 100 は、ECL 回路部を構成する第 1 のトランジスタ Q_1 、第 2 のトランジスタ Q_2 、第 3 のトランジスタ Q_3 、第 1 の抵抗 R_1 、第 2 の抵抗 R_2 および第 3 の抵抗 R_3 と、アクティブプルダウン部を構成する第 4 のトランジスタ Q_4 、第 5 のトランジスタ Q_5 、第 6 のトランジスタ Q_6 、第 4 の抵抗 R_4 および容量 C_{10} (本発明の可変容量装置からなる。) とからなる。ここで、第 1 のトランジスタ Q_1 のベースには、入力電圧 V_{IN} が入力されている。第 2 のトランジスタ Q_2 のベースには、基準電圧 V_{REF} が入力されている。第 3 のトランジスタ Q_3 のベースには、第 1 のバイアス電圧 V_1 が入力されている。第 4 のトランジスタ Q_4 のベースには、第 2 のバイアス電圧 V_2 が入力されている。第 5 のトランジスタ Q_5 のベースは、第 2 の抵抗 R_2 と第 2 のトランジスタ Q_2 のコレクタとの接続点と接続されている。第 6 のトランジスタ Q_6 (アクティブプルダウントランジスタ) のベースは、第 1 の抵抗 R_1 と第 1 のトランジスタ Q_1 のコレクタとの接続点と容量 C_{10} を介して接続されているとともに、第 4 のトランジスタ Q_4 のエミッタと接続されている。出力信号 V_{OUT} は、第 5 のトランジスタ Q_5 もエミッタと第 6 のトランジスタ Q_6 のコレクタとの接続点から出力されている。第 6 のトランジスタ Q_6 のエミッタとコレクタとの間には、寄生負荷容量 C_{OUT} が接続される。

【0040】第 6 のトランジスタ Q_6 のベース電位は ECL 回路部のロジックスイングによる電圧変動を容量 C_{10} から受けると一時的に高くなり、第 6 のトランジスタ Q_6 のコレクタ電流として寄生負荷容量 C_{OUT} を急速に放電する。ここで、容量 C_{10} は第 6 のトランジスタ Q_6 のベース電位を高くする時間を決定するものであるため、その容量値が小さすぎると寄生負荷容量 C_{OUT} の放電が終了する前に第 6 のトランジスタ Q_6 のベース電位が低下してしまふ結果、寄生負荷容量 C_{OUT} を急速に放電することができない。一方、容量 C_{10} の容量値が大きすぎると、寄生負荷容量 C_{OUT} が放電された後も第 6 のトランジスタ Q_6 のベース電位が高いかまたは容量 C_{10} が寄生容量として働く結果、回路のスピード特性を落と

10

してしまう。このように、容量 C_{10} の容量値は寄生負荷容量 C_{OUT} に対応した最適値とする必要があるため、ゲートアレーなどのように寄生負荷容量 C_{OUT} すなわち配線長が異なる場合には、容量 C_{10} の容量値を寄生負荷容量 C_{OUT} (配線長) に応じた最適値とする必要である。

【0041】アクティブプルダウン付 ECL 回路 100 では、容量 C_{10} を本発明の可変容量装置で構成しているため、寄生負荷容量 C_{OUT} (配線長) に応じた容量パターンを回路上に用意しなくてもよい結果、回路レイアウト上の微細化が可能となる。また、ECL 回路などでは論理振幅を 400~500 [mV] 程度にとるが、本発明の可変容量装置からなる容量 C_{10} では、このような論理振幅による容量値の変動をほぼなくすることができるため、回路の安定動作の観点からも有効である。たとえば、図 5 (B) に示した例では、印加電圧 V が 2~2.5 [V] の範囲で変動した場合に、従来例となる超階段接合では容量値は約 36% 変動するが、本発明の可変容量装置からなる容量 C_{10} では約 0~17% の変動となり、従来例の 1/2 以下の変動に抑えることが可能となる。

【0042】

【発明の効果】本発明は、上述したとおり構成されているので、次の効果を奏する。

【0043】請求項 1 乃至請求項 7 記載の発明 (本発明の可変容量装置) は、半導体基板上に容易に形成できるとともに、印加電圧の変動による容量値の変動を小さくすることができるために安定性の向上が図れる。すなわち、容量を構成する空乏層が印加電圧によって拡がる方向で所望の容量値を得ることができる空乏層幅となる深さで濃度が高くなるなどの変化を不純物プロファイルの形状にもたせることにより、印加電圧の変動に対して容量値の変動がほぼ一定となる印加電圧領域を得ることができる。

【0044】請求項 8 乃至請求項 10 記載の発明 (本発明の半導体集積回路装置) は、異なるマスクパターンを用いた複数回の選択的イオン注入工程を必要とすることなく可変容量装置を半導体基板上に形成することができるため、半導体基板上に容易に形成することができる。特に、接合深さおよび接合濃度を同一チップ上の異なる可変容量装置で変えることにより、同じ印加電圧で異なる容量値を得ることも可能であるため、同一回路内で異なる所望の容量値が必要とされるゲートアレーにおいて有用である。

【図面の簡単な説明】

【図 1】本発明の可変容量装置の第 1 の実施例を示す断面図である。

【図 2】図 1 に示した可変容量装置について説明するための図であり、(A) はその不純物プロファイルを示すグラフ、(B) は容量値と印加電圧との関係を示すグラフである。

11

【図3】本発明の可変容量装置の第2の実施例の製造工程を示す断面図である。

【図4】本発明の可変容量装置の第2の実施例の製造工程を示す断面図である。

【図5】本発明の可変容量装置の第2の実施例について説明するための図であり、(A)はその不純物プロファイルを示すグラフ、(B)は容量値と印加電圧との関係を示すグラフである。

【図6】本発明の半導体集積回路装置の第1の実施例について説明するための図であり、(A)は各可変容量装置の不純物プロファイルを示すグラフ、(B)は容量値とP型多結晶シリコン膜中のボロン原子濃度との関係を示すグラフである。

【図7】本発明の半導体集積回路装置の第2の実施例であるアクティブプルダウン付ECL回路を示す回路図である。

【図8】従来の超階段接合からなる可変容量ダイオードについて説明するための図であり、(A)はその不純物プロファイルを示すグラフ、(B)は容量値と印加電圧との関係を示すグラフである。

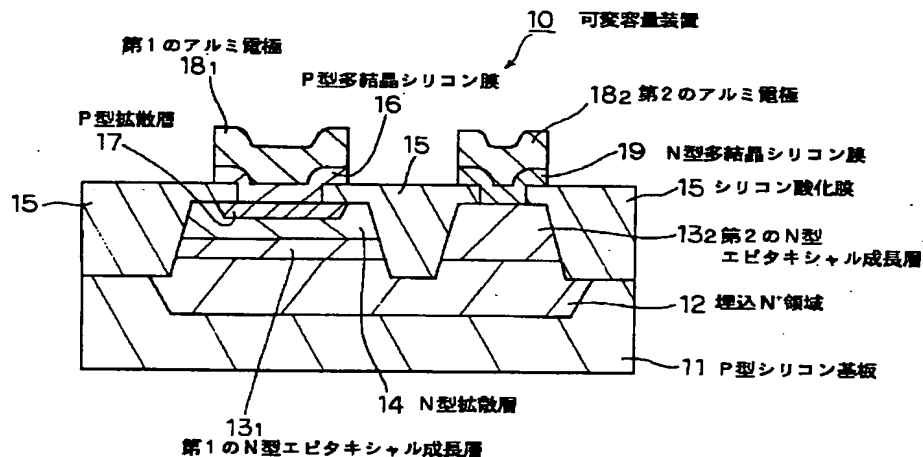
【図9】可変容量装置の他の従来例を説明するための図であり、(A)はその断面図、(B)は容量値とアノード電圧との関係を示すグラフである。

【符号の説明】

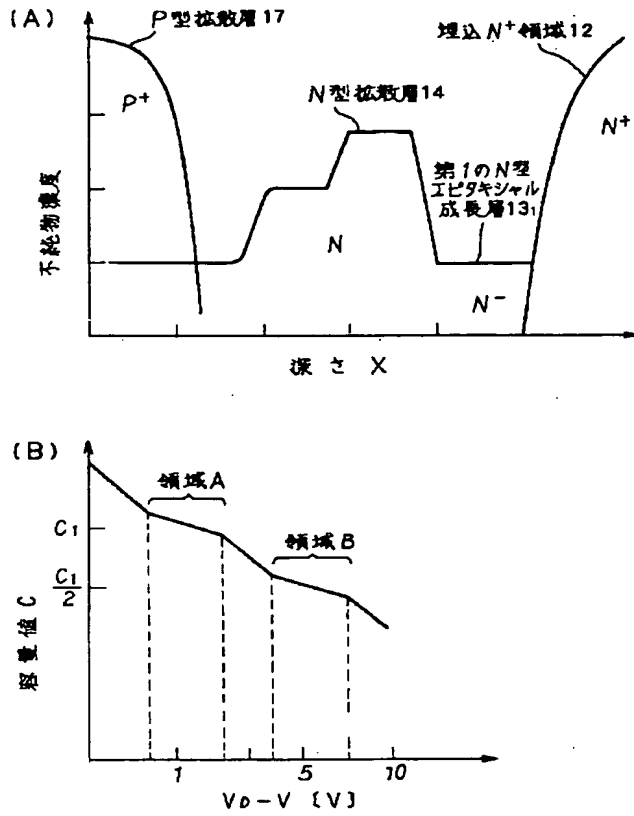
12

- * 10, 30 可変容量装置
 11, 31 P型シリコン基板
 12, 32 埋込N⁺領域
 13₁ 第1のN型エピタキシャル成長層
 13₂ 第2のN型エピタキシャル成長層
 14, 34 N型拡散層
 15 シリコン酸化膜
 16, 36 P型多結晶シリコン膜
 17, 37 P型拡散層
 10 18₁, 38₁ 第1のアルミ電極
 18₂, 38₂ 第2のアルミ電極
 19 N型多結晶シリコン膜
 33 第1のシリコン酸化膜
 35 第2のシリコン酸化膜
 100 アクティブプルダウン付ECL回路
 Q₁~Q₆ トランジスタ
 R₁~R₄ 抵抗
 C₁₀ 容量
 C_{OUT} 寄生負荷容量
 20 V_{IN} 入力電圧
 V_{REF} 基準電圧
 V₁, V₂ バイアス電圧
 V_{OUT} 出力信号

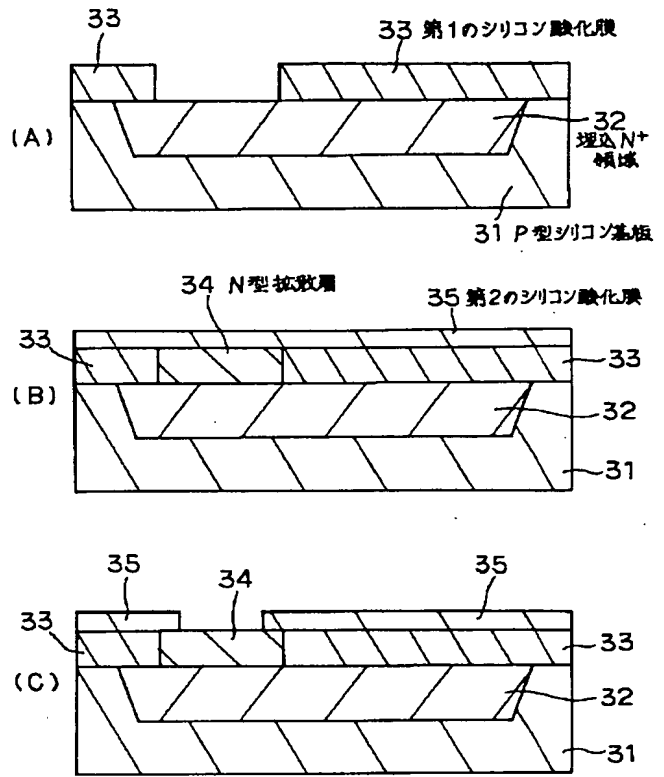
【図1】



【図2】

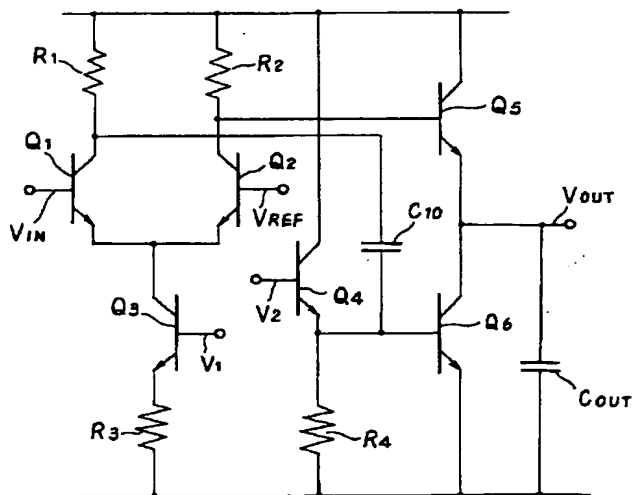


【図3】

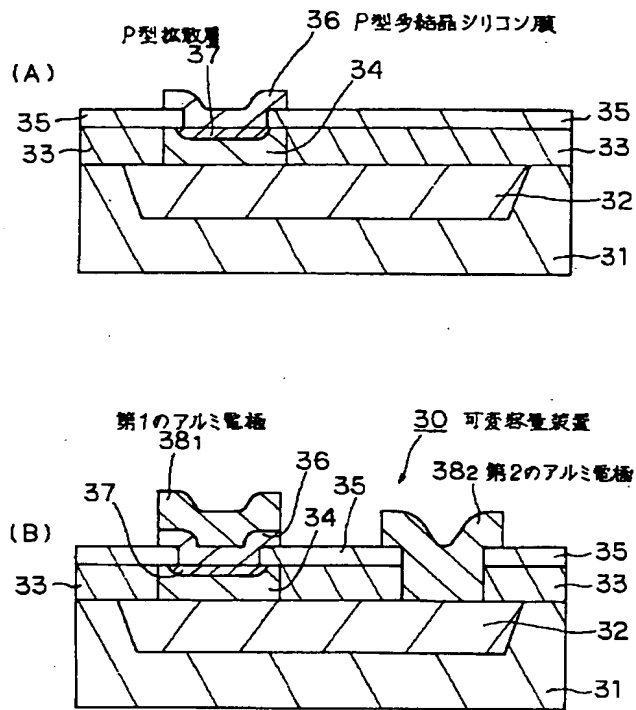


【図7】

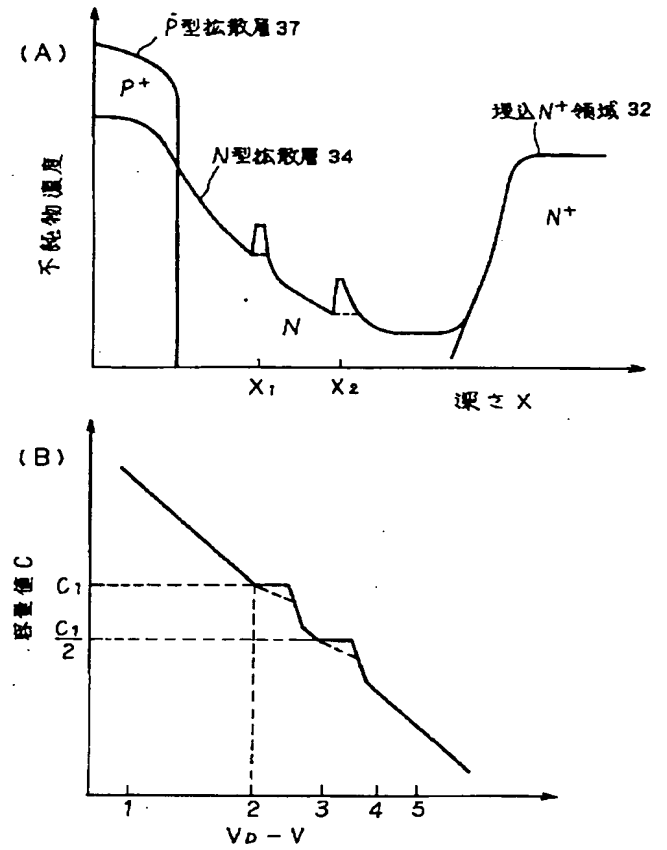
100 アクティブアルダウソ付 ECL 回路



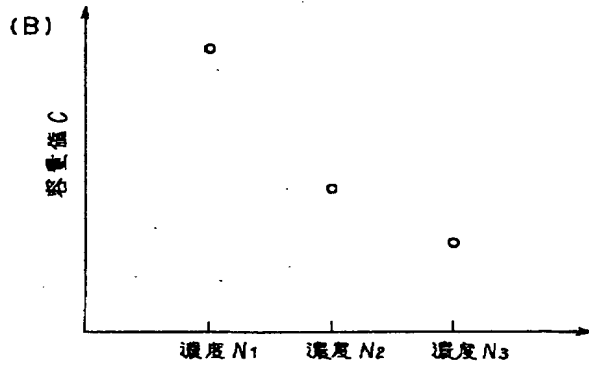
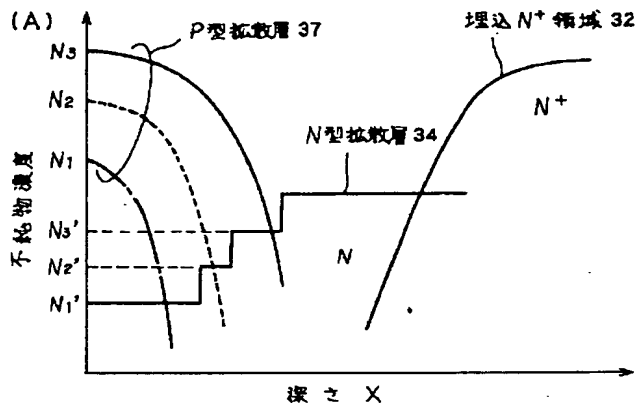
【図4】



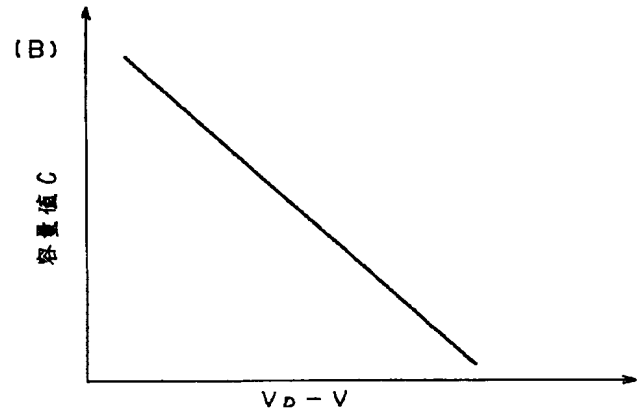
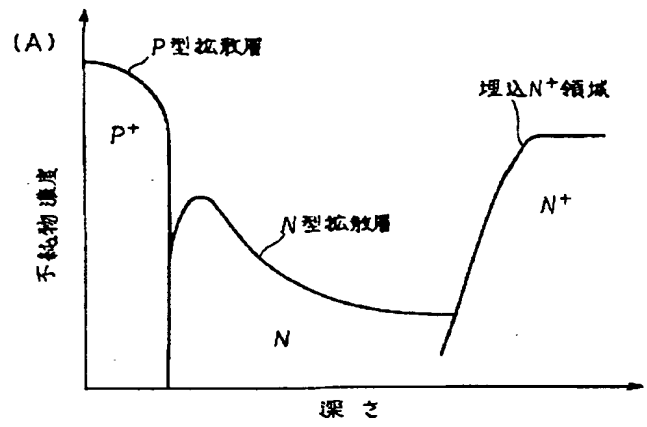
【図5】



【図6】



【図8】



【図9】

